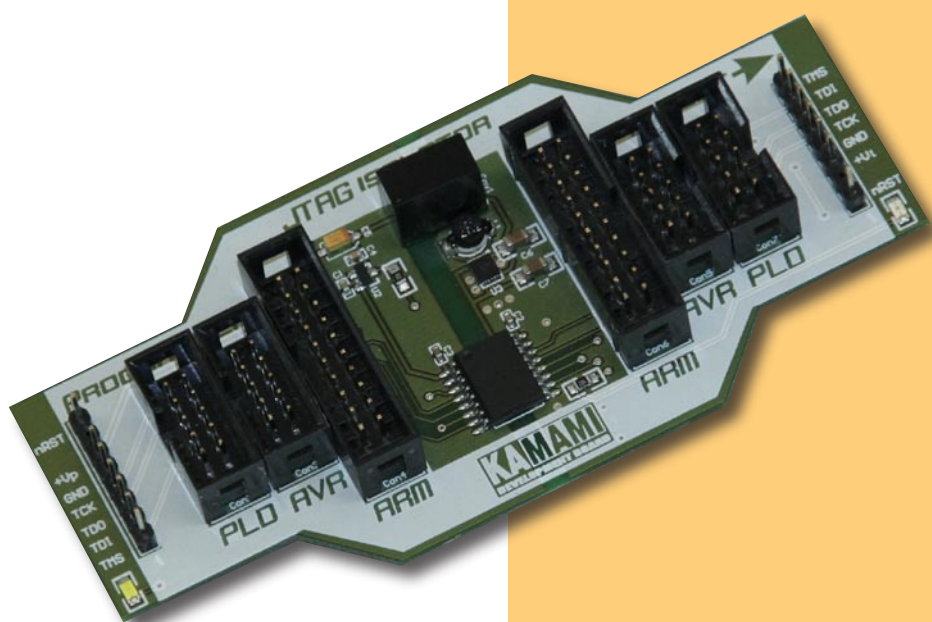


JTAG Isolator

Separator galwaniczny JTAG dla ARM, AVR i FPGA



JTAG Isolator jest galwanicznym separatorem interfejsu JTAG, zapobiegającym uszkodzeniom sprzętu wywołanym różnicami potencjałów odniesienia urządzeń łączonych ze sobą (np. komputera i płytki ewaluacyjnej) za pomocą interfejsu JTAG.

Podstawowe parametry

- ▶ Separacja galwaniczna 5-liniowego interfejsu JTAG
- ▶ Maksymalna częstotliwość taktowania TCK: 110 MHz*
- ▶ Zasilany z urządzenia docelowego (3...5 V)
- ▶ Zgodność ze wszystkimi interfejsami JTAG zasilanymi napięciem 3...5 V
- ▶ Poziomy logiczne po stronie *Programmer*: TTL/TTL-LV
- ▶ Poziomy logiczne po stronie *Target*: TTL-LV
- ▶ Maksymalny pobór prądu: 50 mA
- ▶ Napięcie izolacji: 750 VAC/1 kVDC
- ▶ Optyczna sygnalizacja dołączenia zasilania
- ▶ Optyczna sygnalizacja zasilania bariery galwanicznej
- ▶ Wbudowane złącza:
 - IDC10 – JTAG dla PLD (FPGA i CPLD) – zgodne z programatorem Altera ByteBlaster,
 - IDC10 – JTAG dla mikrokontrolerów AVR,
 - IDC20 – JTAG dla mikrokontrolerów i mikroprocesorów ARM,
 - SIP8 – JTAG dla PLD (FPGA i CPLD) – zgodne z programatorem Digilent JTAG HS1.
- ▶ Prąd pobierany z linii +Vp przez programator: maks. 10 mA

* Zależy od długości przewodów połączeniowych



Nie wolno łączyć ze sobą ani jednocześnie dotykać wyprowadzeń separatora po stronach *Target* i *Programmer* – mogą one znajdować się na różnych potencjałach, co może grozić porażeniem operatora lub uszkodzeniem sprzętu.

Wyposażenie standardowe

Kod	Opis
JTAG Isolator	▶ Urządzenie zmontowane i uruchomione, kabel IDC10-IDC10 (15 cm) oraz kabel IDC20-IDC20 (15 cm)



BTC Korporacja
 05-120 Legionowo
 ul. Lwowska 5
 tel.: (22) 767-36-20
 faks: (22) 767-36-33
 e-mail: biuro@kamami.pl
<http://www.kamami.pl>

Zastrzegamy prawo do wprowadzania zmian bez uprzedzenia.

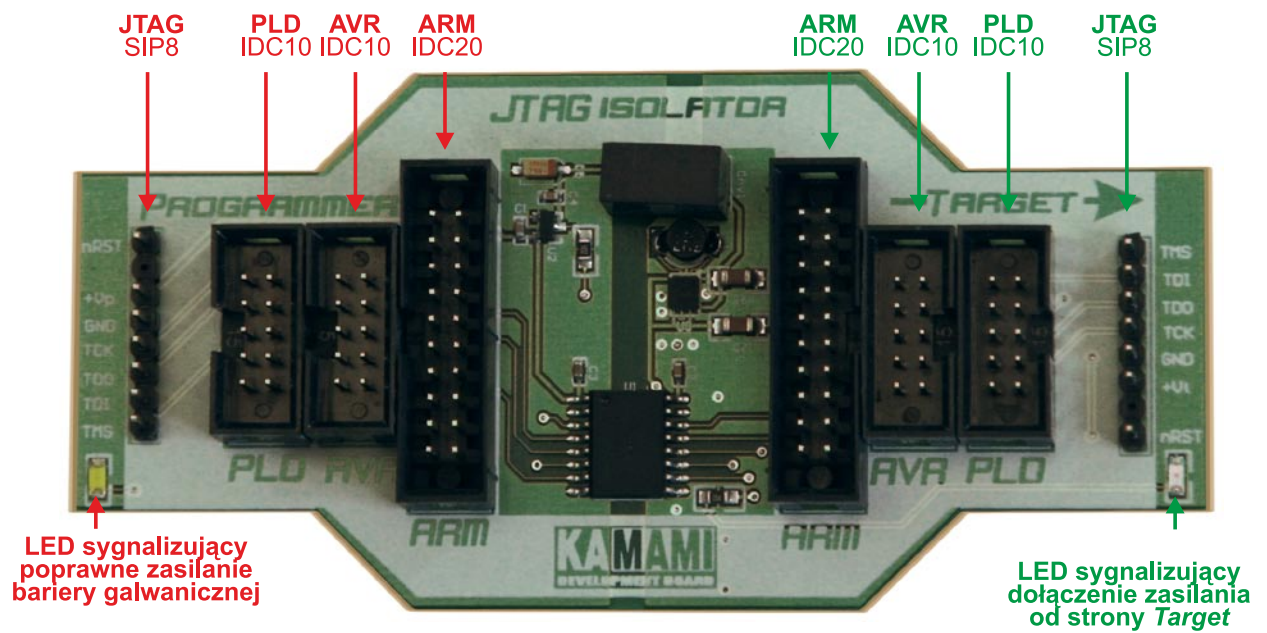
Oferowane przez nas płytki drukowane mogą się różnić od prezentowanej w dokumentacji, przy czym zmianom nie ulegają jej właściwości użytkowe.

BTC Korporacja gwarantuje zgodność produktu ze specyfikacją.

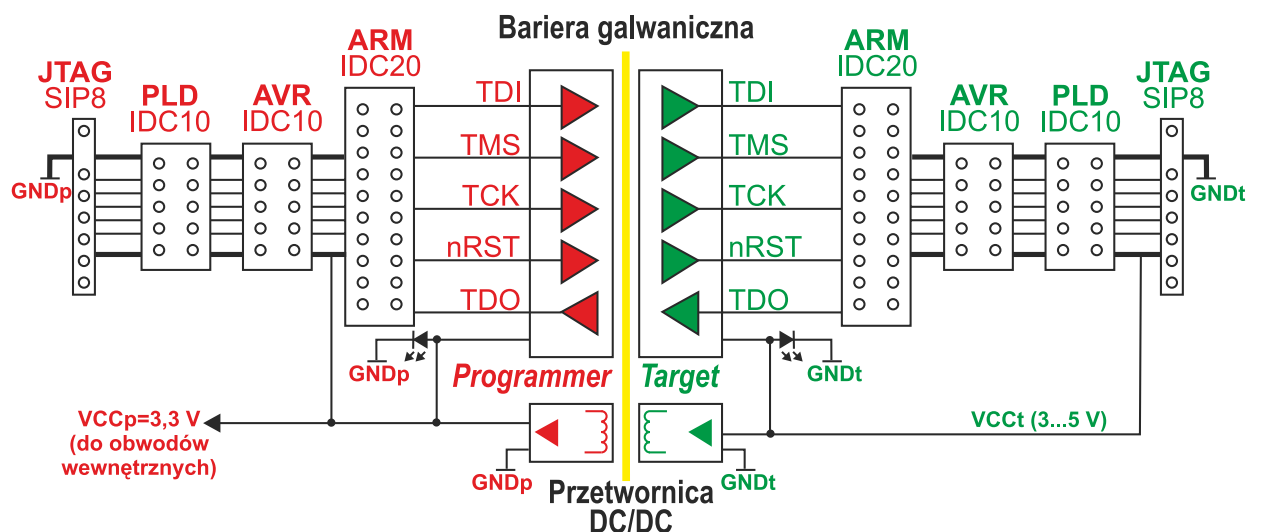
BTC Korporacja nie ponosi odpowiedzialności za jakiegokolwiek szkody powstałe bezpośrednio lub pośrednio w wyniku użycia lub nieprawidłowego działania produktu.

BTC Korporacja zastrzega sobie prawo do modyfikacji niniejszej dokumentacji bez uprzedzenia.

Rozmieszczenie najważniejszych elementów



Schemat blokowy



Zasilanie separatora

Obydwie strony elektryczne (*Target* i *Programmer*) separatora są zasilane od strony *Target*. Energię elektryczną dla obwodów strony *Programmer* dostarcza wbudowana w urządzenie, galwanicznie separowana przetwornica DC/DC. Z tego względu konieczne jest zapewnienie dodatkowego prądu zasilającego separator, którego wartość jest zależna od napięcia zasilającego (jak w tabeli poniżej).

Programator dołączony po stronie *Programmer* powinien być zasilany z osobnego źródła, dopuszczalne jest zasilanie z linii +Vp separatora wyłącznie buforów I/O. Maksymalna obciążalność linii +Vp wynosi 10 mA @3,3 V.

Pobór prądu przez separator z zasilacza po stronie *Target*

Napięcie +Vt [V]	Pobór prądu od strony +Vt [mA]
3	<50
3,3	<45
4	<30
5	<35

Dopuszczalne poziomy logiczne

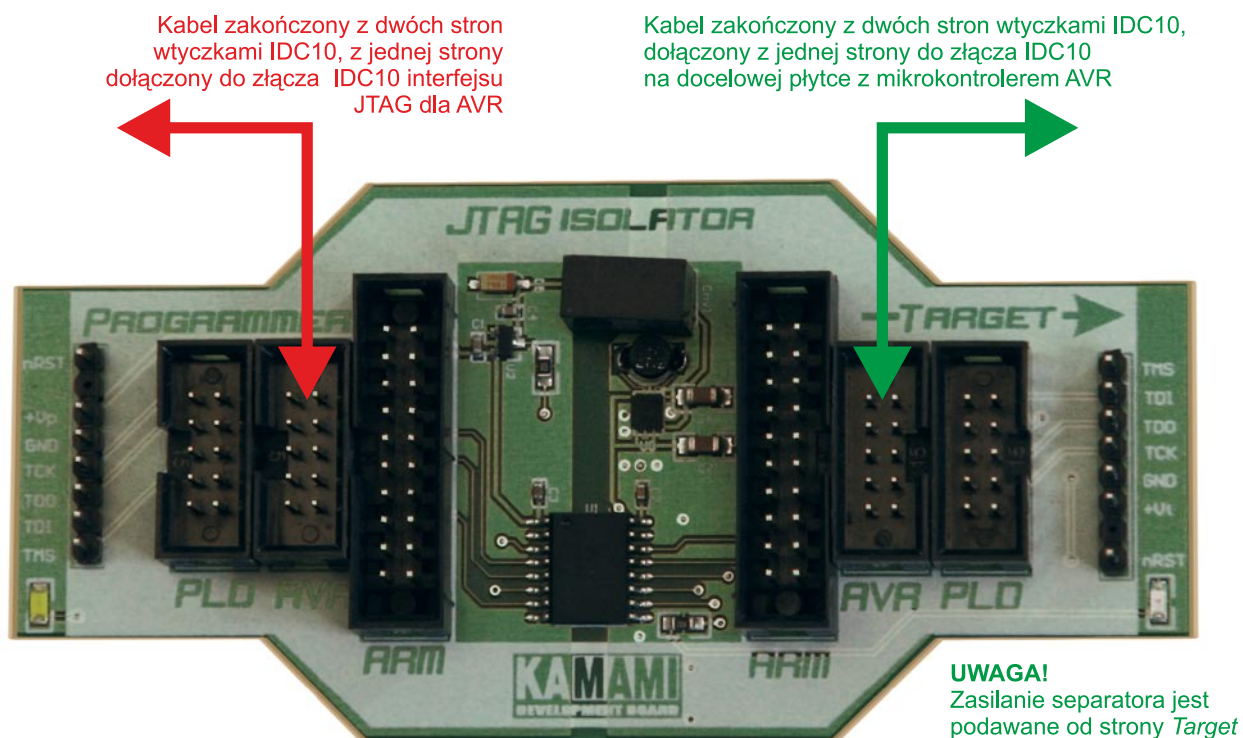
Separator od strony *Target* może być zasilany napięciem o wartości od $V_t = 3$ do $V_t = 5$ V. Poziomy akceptowanych napięć na liniach wejściowych i wyjściowych wynoszą od 0 V do V_t , przy czym zakres napięć dla logicznego „0” wynosi od 0 do 0,8 V, a dla „1” wynosi od 2,4... V_t .

Po stronie *Programmer* zalecane jest dołączanie interfejsów programujących z buforami I/O zasilanymi napięciem o wartości $V_p = 3,3$ V. Zakres napięć dla logicznego „0” wynosi 0...0,8 V, a dla „1” wynosi od 2,4... V_p . Przekroczenie po stronie *Programmer* na liniach I/O wartości napięcia V_p może spowodować uszkodzenie separatora.

Połączenia dla AVR

Separator od strony *Target* może być zasilany napięciem o wartości od $V_t = 3$ do $V_t = 5$ V. Poziomy akceptowanych napięć na liniach wejściowych i wyjściowych wynoszą od 0 V do V_t , przy czym zakres napięć dla logicznego „0” wynosi od 0 do 0,8 V, a dla „1” wynosi od 2,4... V_t .

Po stronie *Programmer* zalecane jest dołączanie interfejsów programujących z buforami I/O zasilanymi napięciem o wartości $V_p = 3,3$ V. Zakres napięć dla logicznego „0” wynosi od 0...0,8 V, a dla „1” wynosi od 2,4... V_p . Przekroczenie po stronie *Programmer* na liniach I/O wartości napięcia V_p może spowodować uszkodzenie separatora.



UWAGA

Maksymalna częstotliwość sygnału TCK może wynosić 110 MHz. Jest ona silnie zależna od długości kabli i ścieżek połączeniowych (im dłuższe, tym f_{TCKmax} jest niższa) i charakteru obciążenia poszczególnych linii I/O po stronie *Target*.

TCK	1	2	GNDp	GNDt	10	9	TDI
TDO	3	4	+3,3 V (out)		8	7	TMS
TMS	5	6			6	5	TDO
	7	8	+Vt=3...5 V		4	3	TCK
TDI	9	10	GNDp	GNDt	2	1	

+3,3 V (out) – linia wyjściowa
max. obciążalność prądowa 10 mA

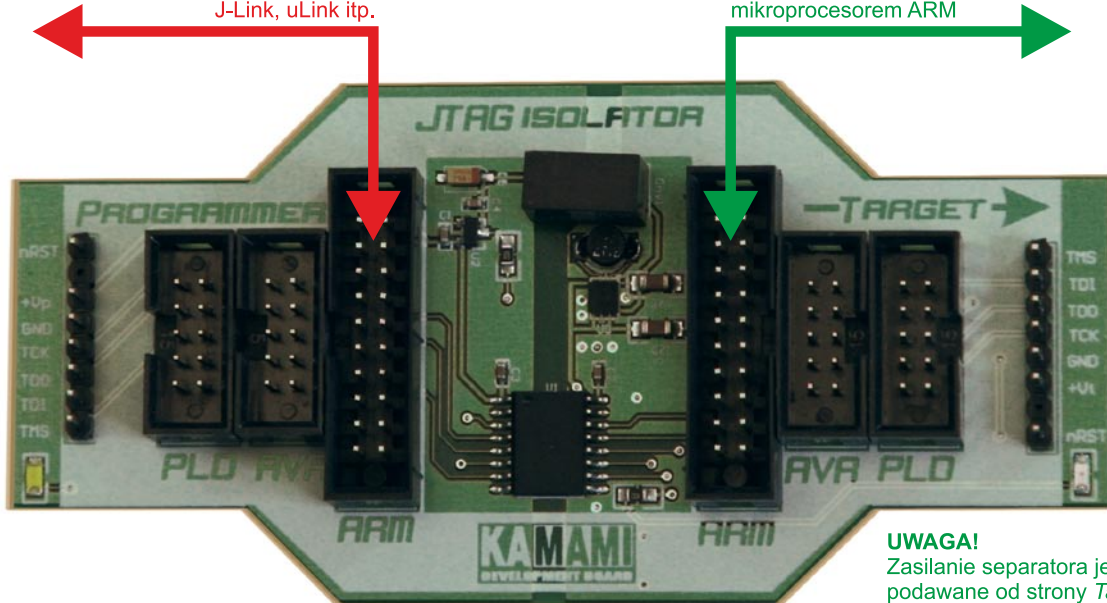
+Vt – wejściowa linia zasilająca separator

Przypisanie sygnałów po do złącza AVR stronie *Programmer* (czerwone) i *Target* (zielone).

Połączenia dla ARM

Kabel zakończony z dwóch stron wtyczkami IDC20, z jednej strony dołączony do złącza IDC20 interfejsu J-Link, uLink itp.

Kabel zakończony z dwóch stron wtyczkami IDC20, dołączony z jednej strony do złącza IDC20 na docelowej płytce z mikrokontrolerem lub mikroprocesorem ARM

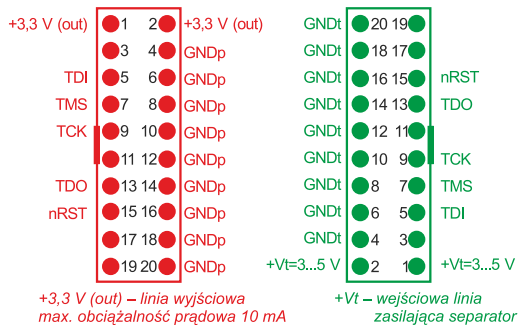


UWAGA!
Zasilanie separatora jest podawane od strony Target

Sposób zastosowania separatora JTAG Isolator do programowania/debugowania systemu z mikrokontrolerem ARM

UWAGA

Maksymalna częstotliwość sygnału TCK może wynosić 110 MHz. Jest ona silnie zależna od długości kabli i ścieżek połączeniowych (im dłuższe, tym f_{TCKmax} jest niższa) i charakteru obciążenia poszczególnych linii I/O po stronie Target.

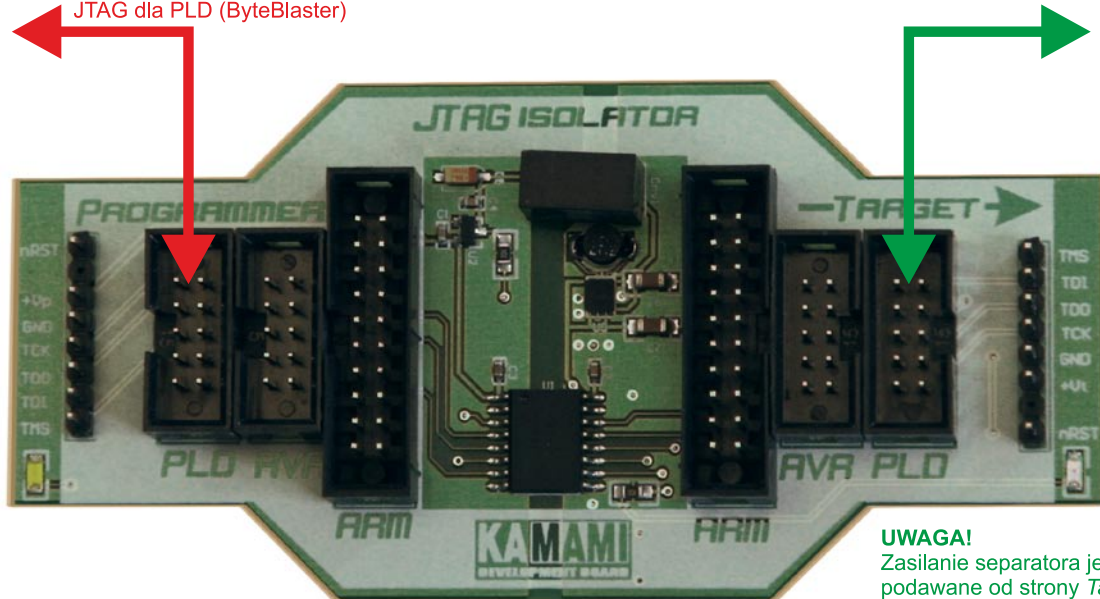


Przypisanie sygnałów po do złącza ARM stronie Programmer (czerwone) i Target (zielone)

Połączenia dla PLD (CPLD/FPGA)

Kabel zakończony z dwóch stron wtyczkami IDC10, z jednej strony dołączony do złącza IDC10 interfejsu JTAG dla PLD (ByteBlaster)

Kabel zakończony z dwóch stron wtyczkami IDC10, dołączony z jednej strony do złącza IDC10 na docelowej płytce z układem PLD



UWAGA!
Zasilanie separatora jest podawane od strony *Target*

UWAGA

Maksymalna częstotliwość sygnału TCK może wynosić 110 MHz. Jest ona silnie zależna od długości kabli i ścieżek połączeniowych (im dłuższe, tym $f_{TCK_{max}}$ jest niższa) i charakteru obciążenia poszczególnych linii I/O po stronie *Target*.

TCK	●1	●2	GNDp	GNDt	●10	●9	TDI
TDO	●3	●4	+3,3 V (out)		●8	●7	
TMS	●5	●6		+Vt=3...5 V	●6	●5	TMS
	●7	●8			●4	●3	TDO
TDI	●9	●10	GNDp	GNDt	●2	●1	TCK

+3,3 V (out) – linia wyjściowa
max. obciążalność prądowa 10 mA

+Vt – wejściowa linia zasilająca separator

Przypisanie sygnałów po do złącza PLD (zgodne z ByteBlaster) stronie *Programmer* (czerwone) i *Target* (zielone)

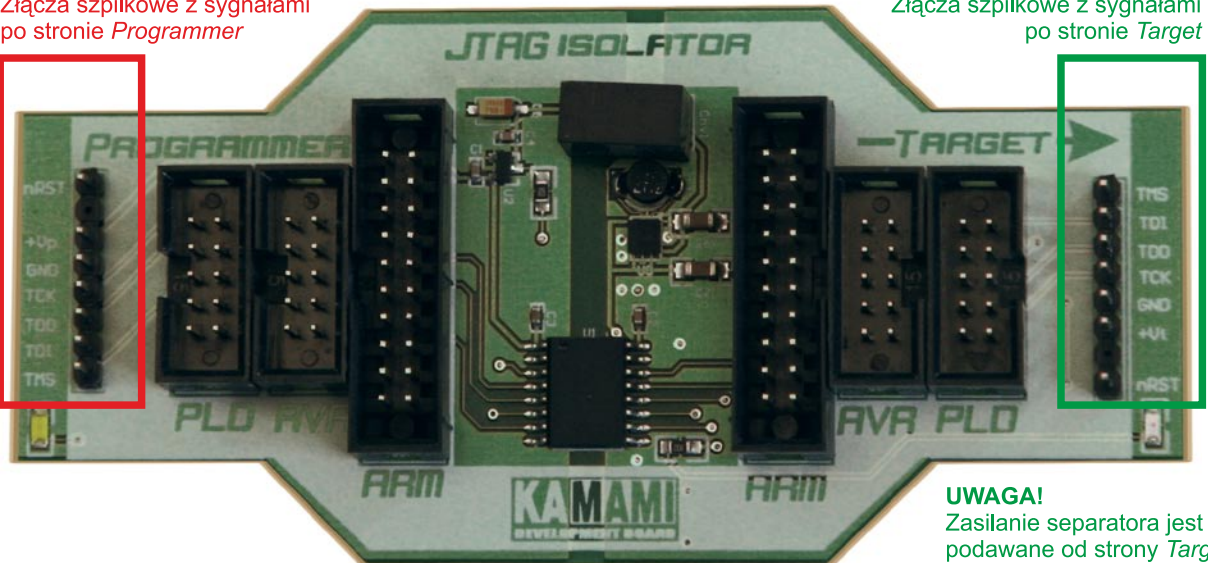
Połączenia dla dowolnego interfejsu JTAG

Separator wyposażono w złącze szpilkowe SIP8 ze stykami w rastrze 2,54 mm, do których można dołączyć dowolne interfejsy JTAG lub inne, wymagające separacji galwanicznej.

Złącza szpilkowe z sygnałami po stronie *Programmer*



Złącza szpilkowe z sygnałami po stronie *Target*



UWAGA!
Zasilanie separatora jest podawane od strony *Target*

Rozmieszczenie sygnałów na złączach szpilkowych umożliwia bezpośrednie zainstalowanie na nich programatora-konfiguratora układów programowalnych Digilent JTAG HS1 (fotografia poniżej).

